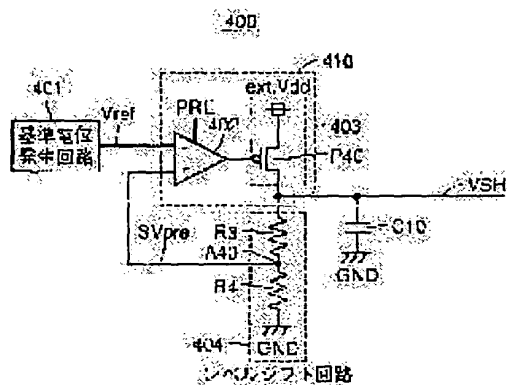


(11)Publication number : 2002-334577
(43)Date of publication of application : 22.11.2002

(21)Application number : 2001-136479 (71)Applicant : MITSUBISHI ELECTRIC CORP
(22)Date of filing : 07.05.2001 (72)Inventor : KONO TAKASHI

(57)Abstract:

SOLUTION: An external power source potential ext.Vdd is reduced, and supplied directly to a sense amplifier operation voltage generating circuit 400. During pre-charge, when the external power source potential ext.Vdd is lower than the lowest limit value in specifications, a VDC circuit 410 supplies a potential being equal to the external power source potential ext.Vdd to a sense power source line VSH, when it is higher than the lowest limit value in specifications, the VDC circuit 410 supplies a potential being equal to the lowest limit value in specifications to the sense power source line VSH.



[Date of request for examination]
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-334577

(P2002-334577A)

(43) 公開日 平成14年11月22日 (2002. 11. 22)

(51) Int.Cl.⁷

識別記号

F I

テームト* (参考)

G 1 1 C 11/407

G 1 1 C 11/34

3 5 4 F 5 M 0 2 4

11/409

3 5 3 E

審査請求 未請求 請求項の数 9 O L (全 13 頁)

(21) 出願番号 特願2001-136479(P2001-136479)

(22) 出願日 平成13年 5 月 7 日 (2001. 5. 7)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目 2 番 3 号

(72) 発明者 河野 隆司

東京都千代田区丸の内二丁目 2 番 3 号 三

菱電機株式会社内

(74) 代理人 100064746

弁理士 深見 久郎 (外 4 名)

F ターム (参考) 5M024 AA04 BB14 BB29 BB35 CC84

FF02 FF07 FF23 HH09 HH11

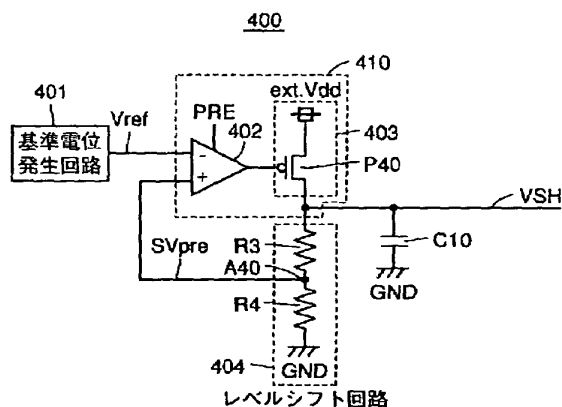
PP01 PP03 PP07 PP10

(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【課題】 センス動作速度を低下させることなく、また、メモリセルに必要な以上の電荷を供給することなく、省電力化が可能な半導体集積回路装置を提供する。

【解決手段】 外部電源電位 ext. Vdd を低下させ、オーバドライブ方式のセンスアンプ動作電圧発生回路 400 に直接供給する。プリチャージ中、VDC 回路 410 は外部電源電位 ext. Vdd が仕様上の下限値より低い場合に外部電源電位 ext. Vdd と等しい電位をセンス電源線 VSH に供給し、仕様上の下限値より高い場合に仕様上の下限値に等しい電位をセンス電源線 VSH に供給する。



1

【特許請求の範囲】

【請求項1】 ビット線対と、

前記ビット線対に接続されたメモリセルと、
前記メモリセルからデータが読出されることにより生じた前記ビット線対の電位差を増幅するセンスアンプと、
前記センスアンプの活性期間には、前記メモリセルに蓄積される電圧を前記センスアンプに供給するセンスアンプ動作電圧発生手段とを備え、
前記センスアンプ動作電圧発生手段は、
前記センスアンプに接続された内部電源ノードと、
外部電源電圧が所定の電圧より高い場合に、前記所定の電圧を出力電圧として前記内部電源ノードに出力し、前記外部電源電圧が所定の電圧より低い場合に、前記外部電源電圧と等しい電圧を出力電圧として前記内部電源ノードに出力する第1の電圧供給手段と、
前記内部電源ノードに接続されたデカップル容量とを含む、半導体集積回路装置。

【請求項2】 前記第1の電圧供給手段は、前記センスアンプの活性期間中は動作を停止する、請求項1に記載の半導体集積回路装置。

【請求項3】 前記第1の電圧供給手段は、
前記外部電源電圧よりも低い電圧を基準電圧として出力する基準電圧発生回路と、
前記出力電圧を降下させた降下電圧を出力するシフト回路と、
前記基準電圧と前記降下電圧とを受け、前記出力電圧を出力する降圧回路とを含む、請求項2に記載の半導体集積回路装置。

【請求項4】 前記降圧回路は、
前記基準電圧と前記降下電圧とを入力し、その比較結果を出力する比較回路と、
前記外部電源が供給される外部電源ノードと前記内部電源ノードとに接続されたスイッチング素子とを含み、
前記スイッチング素子は、前記比較回路から出力される比較結果を受け、前記内部電源ノードの出力電圧を制御する、請求項3に記載の半導体集積回路装置。

【請求項5】 前記シフト回路は、内部電源ノードと接地ノードとの間に直列に接続された複数の抵抗素子を含む、請求項3に記載の半導体集積回路装置。

【請求項6】 前記シフト回路は、外部電源ノードと接地ノードとの間に直列に接続された第1および第2のトランジスタを含み、
前記第1のトランジスタの制御電極には前記出力電圧が入力され、前記第2のトランジスタの制御電極には前記基準電圧が入力される、請求項3に記載の半導体集積回路装置。

【請求項7】 前記センスアンプ動作電圧発生手段はさらに、
前記センスアンプの不活性期間にデカップル容量に充電された前記出力電圧が所定の電圧より低い場合に、前記

2

内部電源ノードに前記所定の電圧を供給する第2の電圧供給手段を含む、請求項1に記載の半導体集積回路装置。

【請求項8】 前記第2の電圧供給手段は、前記センスアンプの活性期間に前記所定の電圧を供給する、請求項7に記載の半導体集積回路装置。

【請求項9】 前記所定の電圧は、外部電源電圧の仕様上の下限値である、請求項1および請求項7に記載の半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体集積回路装置に関し、さらに詳しくは、センスアンプに供給する内部電源電圧を生成する回路を含む半導体集積回路装置に関するものである。

【0002】

【従来の技術】近年の半導体集積回路装置の動作電源電圧の低下は著しい。その一例としてダイナミック・ランダム・アクセス・メモリ（DRAM）のメモリセルに書込されるHデータに等しく、センスアンプの動作電源電位であるアレイ動作電位Vddsに注目する。

【0003】一般にアレイ動作電位Vddsは外部電源電位ext. Vddから内部降圧された電位である。このアレイ動作電位Vddsはメモリセル容量を構成する絶縁膜の信頼性から決定される。近年の設計ルールの縮小に伴う絶縁膜の薄膜化により膜にかかる電位差を低減するため、絶縁膜の薄膜化によりアレイ動作電位Vddsを低下する必要性が生じている。

【0004】しかしながら、アレイ動作電位Vddsレベルの低下はアレイ動作マージンの観点からは不利である。

【0005】図7はDRAM内のメモリセルアレイ部の構成を示す回路図である。図7を参照して、DRAM内のメモリセルアレイ部はセンスアンプ30とビット線イコライズ回路20とメモリセル10とを含む。

【0006】センスアンプ30は、PチャネルMOSトランジスタP1、P2とNチャネルMOSトランジスタN1、N2とを含む。

【0007】PチャネルMOSトランジスタP1はノードA3とPチャネルMOSトランジスタP3との間に接続され、PチャネルMOSトランジスタP2はノードA4とPチャネルMOSトランジスタP3との間に接続される。

【0008】また、NチャネルMOSトランジスタN1はノードA3とNチャネルMOSトランジスタN3との間に接続され、NチャネルMOSトランジスタN2はノードA4とNチャネルMOSトランジスタN3との間に接続される。

【0009】PチャネルMOSトランジスタP1およびNチャネルMOSトランジスタN1のゲートはともにノ

3

ードA4に接続され、PチャネルMOSトランジスタP2およびNチャネルMOSトランジスタN2のゲートはともにノードA3に接続される。なおノードA3はビット線BLと接続され、ノードA4はビット線ZBLと接続される。

【0010】PチャネルMOSトランジスタP3のソースはセンス電源線VSH（配線抵抗R1）を介して内部電源電圧発生回路（VDC）に接続され、そのゲートはノードZSOPに接続される。

【0011】また、NチャネルMOSトランジスタN3はノードVSL（配線抵抗R2）を介して接地される。

【0012】ビット線イコライズ回路20は、ビット線BLとZBLとの間に接続されたNチャネルMOSトランジスタN4と、ビット線BLとZBLとの間に直列に接続されたNチャネルMOSトランジスタN5、N6とを含む。NチャネルMOSトランジスタN4～N6のゲートはともにノードA2に接続される。また、NチャネルMOSトランジスタN5とN6との接続点はノードA1と接続される。ノードA2はビット線イコライズ信号BLEQを受け、ノードA1はビット線電位VBLを受ける。ビット線イコライズ回路20はビット線イコライズ信号BLEQが活性化レベルのHレベルになったことに応答して、ビット線BLとZBLの電位をビット線電位Vb1にイコライズする。なお、ビット線電位Vb1はアレイ動作電位Vdds/2である。

【0013】メモリセル10は、アクセス用のNチャネルMOSトランジスタN7と情報記憶用のキャパシタC1とを含む。メモリセル10のNチャネルMOSトランジスタN7のゲートは対応する行のワード線WLに接続される。NチャネルMOSトランジスタN7はビット線BLとキャパシタC1の一方電極（ストレージノードSN）との間に接続される。キャパシタC1の他方電極はセルプレート電位Vcpを受ける。ワード線WLは、メモリセル10を活性化させる。ビット線BL、ZBLは、選択されたメモリセルとデータ信号の入出力を行う。

【0014】以下において、メモリセル10がHデータを保持している場合のデータ読出動作について説明する。

【0015】図8は図7に示したセンスアンプ30の動作を示すタイミングチャートである。

【0016】図8を参照して、時刻T1以前は待機状態であり、ビット線イコライズ回路20において、ビット*

$$V_{dds} > \max(2 \times V_{thn}, 2 \times |V_{thp}|) \quad \cdots (1)$$

よって、センス電源線VSH上でのアレイ動作電位Vddsは(1)式が成立するような電位である必要がある。

【0022】また、センスアンプ30の初期の動作速度は、センスアンプ30内の各MOSトランジスタでのゲートソース電位Vgsと各MOSトランジスタのしきい

4

*線イコライズ信号BLEQがHレベルとなっている。よって、ビット線イコライズ回路20のNチャネルMOSトランジスタN4～N6がオンされた状態となっている。その結果、時刻T1以前では、ビット線BL、ZBL上の電位は、Hデータの電位であるアレイ動作電位VddsとLデータの電位である接地電位GNDとの中間電位であるビット線電位Vb1にプリチャージされる。

【0017】時刻T1でワード線WLをHレベルに活性化すると、メモリセル10内のNチャネルMOSトランジスタN7がオンされ、ビット線BLにメモリセル10に保持されていたHデータが伝達される。その結果、ビット線BLの電位がビット線電位Vb1より微小電位dVだけ上昇する。一方、ビット線ZBLの電位はビット線電位Vb1のままであるため、ビット線BL、ZBLに電位差が生じる。

【0018】時刻T2には、センスアンプ活性化信号ZSOP、SONがそれぞれLレベル、HレベルとなることからPチャネルMOSトランジスタP3およびNチャネルMOSトランジスタN3がそれぞれオンされ、センスアンプ30が活性化される。その結果、ビット線BLとビット線ZBLとの電位差が増幅され、ビット線BLおよびメモリセル10のストレージノードSNがHデータの電位であるアレイ動作電位Vddsに引き上げられるとともに、ビット線ZBLの電位がビット線電位VBLから接地電位GNDまで下げられる。

【0019】ここで、センスアンプ30を構成するPチャネルMOSトランジスタP1、P2のしきい値電位をともに電位Vthpとし、同じくセンスアンプ30を構成するNチャネルMOSトランジスタN1、N2のしきい値電位をともに電位Vthnとする。時刻T2においてセンスアンプ30が動作を開始するためには、PチャネルMOSトランジスタP1、P2のゲートソース電位Vgsが電位Vthpよりも大きくならなければならず、同じくNチャネルMOSトランジスタN1、N2のゲートソース電位Vgsが電位Vthnよりも大きくならなければならない。微小電位dVを無視すると、ゲートソース電位Vgsは次式であらわされる。

$$【0020】V_{gs} = V_{b1} = V_{dds} / 2$$

よってセンスアンプ30が動作するためには、アレイ動作電位Vddsについて次式の関係が必要となる。

$$【0021】$$

値電圧Vthp、Vthnの差であるVgs - |Vthp|、Vgs - Vthnで決定される。

【0023】以上の点から、製造プロセスの変動により、各トランジスタのしきい値電圧Vthp、Vthnが変動した場合、アレイ動作電位Vddsの低下はセンスアンプ30の動作マージン不足を招く。さらに、アレ

5

イ動作電位 V_{dds} の低下により十分な $V_{gs} - |V_{thp}|$ 、または $V_{gs} - V_{thn}$ が得られなくなった場合、センスアンプ30の動作時間が増加する。

【0024】一方、図8の時刻T2以降のセンスアンプ30動作中のセンス電源線VSHおよびノードVSL上の電位は、センス電源線VSHおよびノードVSLの配線抵抗、VDC回路40の応答速度等に依存して過渡的に変動する。すなわち、センス電源線VSHの電位は時刻T3で最も低下し、ノードVSLの電位は時刻T3で最も上昇する。このようなセンス動作中のセンス電源線VSHおよびノードVSL上の電位の変動は、センスアンプ30の動作速度を大幅に悪化させる。

【0025】以上に示したアレイ動作電位 V_{dds} の低下に伴うセンスアンプ30の動作マージン不足を解消するため、センス電源線VSHに電荷を供給する方法として、「オーバードライブ方式」が提案されている。

【第1のオーバードライブ方式】オーバードライブ方式の一例として、特開平11-250665号公報およびTakasi Kono, 1999 Symposium on VLSI Circuits Digest of Technical Papers, P123-124に提案されたオーバードライブセンス方式について説明する。

【0026】図9はオーバードライブ方式のセンスアンプ駆動駆動回路を含むDRAM内のメモリセルアレイ部の構成を示す回路図である。

【0027】図9を参照して、図7の回路図中のVDC回路40の代わりにセンスアンプ動作電圧発生回路90を設置している。

【0028】図10は図9中のセンスアンプ動作電圧発生回路90の回路図である。図10を参照して、センスアンプ動作電圧発生回路90は基準電位発生回路100とセクタ回路150とシフト回路160とVDC回路170とPチャネルドライバ回路200とデカップルコンデンサC2を含む。

【0029】基準電位発生回路100は外部電源電位 e_{xt} 、 V_{dd} のノイズを除去するためのロウパスフィルタ(LPF)110と、定電流回路120と、所定の電圧を出力する出力回路130を含む。なお、出力回路130は第1参照電位出力段131と第2参照電位出力段136を含む。

【0030】ロウパスフィルタ110は外部電源ノード e_{xt} 、 V_{dd} と接地ノードGNDとの間に直列に接続された抵抗R20とコンデンサC2を含み、外部電源電位 e_{xt} 、 V_{dd} 上のノイズを除去した電位を定電流回路120に出力する。

【0031】定電流回路120はノードA5にソースが接続されゲートおよびドレインがノードA6に接続されるPチャネルMOSトランジスタP10と、ノードA6と接地ノードGNDとの間に接続されゲートがノードA7に接続されるNチャネルMOSトランジスタN10と、ノードA5とPチャネルMOSトランジスタP11

6

のソースとの間に接続される抵抗R21と抵抗R21とノードA7との間に接続されゲートがノードA6に接続されるPチャネルMOSトランジスタP11と、ソースが接地ノードGNDに接続されドレインおよびゲートがノードA7に接続されるNチャネルMOSトランジスタN11を含む。

【0032】定電流回路120は、外部電源電位 e_{xt} 、 V_{dd} に依存しない定電流 I_r を発生する。

【0033】出力回路130内の第1参照電位出力段131はPチャネルMOSトランジスタP12~P15で構成される。PチャネルMOSトランジスタP12は単純に定電流 I_r を供給し、PチャネルMOSトランジスタP13~P15は抵抗として機能することで第1参照電位出力段131はアレイ動作電位 V_{dds} と等しい電位 V_{refs} を出力する。また、第2参照電位出力段136はPチャネルMOSトランジスタP16~P19で構成され、メモリセルアレイ部の周辺回路で 사용되는内部電位 V_{ddp} と等しい電位 V_{refp} を出力する。

【0034】セクタ回路150は、第2参照電位出力段136と接続されたトランスファゲート151と、第1参照電位出力段131と接続されたトランスファゲート152と、インバータ153を含む。トランスファゲート151、152の各ゲートには、ロウ系回路を非活性化する信号PREが入力され、信号PREがHレベルのときに電位 V_{refp} を出力し、信号PREがLレベルのときに電位 V_{refs} を出力する。

【0035】シフト回路160はノードA10とノードA12との間に接続されゲートにセクタ回路150の出力信号を受けるNチャネルMOSトランジスタN20と、ノードA10と接地ノードGNDとの間に接続されゲートがノードA11に接続されるNチャネルMOSトランジスタN22と、ノードA12とノードA11との間に接続され、ゲートにセンス電源線VSHの電位を受けるNチャネルMOSトランジスタN21と、ノードA11にゲートおよびドレインが接続され接地ノードGNDにソースが接続されるNチャネルMOSトランジスタN23を含む。シフト回路160のノードA10からは信号REFが出力され、ノードA11からは信号SIGが出力される。

【0036】VDC回路170は、差動増幅回路で構成されるコンパレータ180とセンス電源線VSHと外部電源ノード e_{xt} 、 V_{dd} とに接続されたPチャネルMOSトランジスタ191を含むPチャネルドライバ回路190を含む。

【0037】コンパレータ180は外部電源電位 e_{xt} 、 V_{dd} が与えられているノードA13にソースが接続されゲートおよびドレインがノードA14に接続されるPチャネルMOSトランジスタP20と、ノードA14とノードA16との間に接続されゲートに信号SIGを受けるNチャネルMOSトランジスタN24と、ノ

7

ドA13とノードA15との間に接続されゲートがノードA14に接続されるPチャネルMOSトランジスタP21と、ノードA15とノードA16との間に接続され、そのゲートに信号REFを受けるNチャネルMOSトランジスタN25と、ノードA16と接地ノードGNDとの間に接続されゲートに外部電源電位ext、Vddを受けるNチャネルMOSトランジスタN26とを含む。

【0038】Pチャネルドライバ回路190内のPチャネルMOSトランジスタP22はコンパレータ180からの出力電位をゲートに受け、センス電源線VSHに電位を供給する。

【0039】シフト回路160から出力される信号SIGおよび信号REFは、それぞれセクタ回路150から出力される電位、センス電源線VSHの電位のほぼ半分のレベルを中心に变化するため、これらを受けるコンパレータ180内のNチャネルMOSトランジスタN24、N25はノードA16の電位が接地電位近くでも飽和領域で動作することが可能となり、その結果Pチャネルドライバ回路190内のPチャネルMOSトランジスタP22のゲートソース間電位Vgsを大きくすることが可能となる。つまり、PチャネルMOSトランジスタP22のトランジスタサイズを比較的小さいサイズにしても、十分な電流供給能力を有するVDC回路が実現できる。

【0040】Pチャネルドライバ回路200は内部電位ノードVddpとセンス電源線VSHとの間に接続されたPチャネルMOSトランジスタP23とPチャネルMOSトランジスタP23のゲートに接続されたインバータ202とを含む。

【0041】Pチャネルドライバ回路200のPチャネルMOSトランジスタP23は、信号PREがHレベルのときにオンされ、センス電源線VSHに内部電位Vddpを供給する。

【0042】以上の回路構成を示すオーバードライブ方式のセンスアンプ動作電圧発生回路90の動作について説明する。

【0043】図11は図10に示したセンスアンプ動作電圧発生回路90の動作を示すタイミングチャートである。

【0044】図11を参照して、時刻T4以前のプリチャージ時は信号PREはHレベルであるため、セクタ回路150より出力される出力信号は電位Vrefpとなる。よって、プリチャージ時ではVDC回路170からセンス電源線VSHに電位Vrefp＝内部電位Vddpが供給される。一方、プリチャージ電位供給回路200内のPチャネルMOSトランジスタP23もオンされることから、プリチャージ電位供給回路200からセンス電源線VSHに内部電位Vddpが供給される。

【0045】以上の結果、時刻T4以前の信号PREが

8

Hレベルの場合には、プリチャージ時においては、センス電源線VSHおよびデカップルコンデンサC2には内部電位Vddpが常時供給されている状態となる。

【0046】ここで、ワード線WLが活性化される時刻T4以前において、信号PREがLレベルとなる。この結果、Pチャネルドライバ200のPチャネルMOSトランジスタP23がオフとなるため、センス電源線VSHおよびデカップルコンデンサC2は内部電位Vddpから切り離された状態となる。なお、セクタ回路150から出力される電位は電位Vrefsとなるため、VDC回路170からセンス電源線VSHに供給される電位はアレイ動作電位Vddsとなる。

【0047】時刻T5でセンスアンプ活性化信号SON、ZSOPがそれぞれHレベル、Lレベルとなることでセンスアンプ30の動作が開始されると、デカップルコンデンサC2に蓄積された電荷がセンス電源線VSHに流れ込む。その結果、センス電源線VSHの電位がアレイ動作電位Vddsより低下する程度が緩和され、センスアンプ動作が高速化される。

【0048】なお、デカップルコンデンサC2の容量を適切に設定すれば、センス動作中のセンス電源線VSHの電位をHデータ電位であるアレイ動作電位Vddsに等しくすることは可能である。しかしながら、時刻T4にてVDC回路170がセンス電源線VSHに供給する電位はアレイ動作電位Vddsとなっているため、センス動作時にデカップル容量に蓄積された電荷が不足していたためにセンス電源線VSHの電位がアレイ動作電位Vdds以下となった場合でも、VDC回路170が不足した電荷を供給する。よって、センス電源線VSHの電位はアレイ動作電位Vddsに保たれる。

【0049】図10に示した回路構成を有するセンスアンプ動作電圧発生回路90を用いたセンス動作では、従来のセンスアンプと比較して、センス動作初期のセンススピードを上げることが可能であり、低いアレイ動作電位Vddsを設定した場合でも十分なセンスマージンを確保することが可能である。

【0050】なぜなら、センスアンプ動作電圧発生回路90を用いたセンス動作では、センス動作初期において、センスアンプ30内の各MOSトランジスタのゲートソース電位Vgsが従来のVdds/2からVddp－Vdds/2とVddp－Vddsだけ拡大するからである。

【0051】図10に示した回路構成を有するセンスアンプ動作電圧発生回路90を用いたセンス動作では、外部電源電位ext、Vddと内部電位Vddpとアレイ動作電位Vddsとが以下の関係を有する場合には有効である。

【0052】外部電源電位ext、Vdd>内部電位Vddp>アレイ動作電位Vdds

【第2のオーバードライブ方式】オーバードライブ方式

9

他の例として、特開平11-250665号公報に提案されたオーバードライブセンス方式について説明する。

【0053】図12は第2のオーバードライブ方式のセンスアンプ駆動駆動回路の回路図である。

【0054】図12を参照して、センスアンプ動作電圧発生回路300は、アレイ動作電位Vddsと等しい電位Vrefsを出力する基準電位発生回路301とVDC回路306とPチャネルドライバ回路307とデカップルコンデンサC3とを含む。

【0055】基準電位発生回路301はアレイ動作電位Vddsと等しい参照電位Vrefsを発生し、VDC回路306に出力する。

【0056】VDC回路306はコンパレータ302とPチャネルドライバ回路303とを含む。なお、コンパレータ302はPチャネルMOSトランジスタP20、P21とNチャネルMOSトランジスタN24、N25、N26とから構成される差動増幅回路であり、NチャネルMOSトランジスタN24のゲートにはセンス電源線VSHの電位が、NチャネルMOSトランジスタN25のゲートには参照電位Vrefsが入力される。Pチャネルドライバ回路303は外部電源電位ext. Vddとセンス電源線VSHとの間に接続されたPチャネルMOSトランジスタP22を含む。

【0057】Pチャネルドライバ回路307はPチャネルMOSトランジスタP30を含み、PチャネルMOSトランジスタP30は外部電源ノードext. Vddとセンス電源線VSHとの間に接続され、そのゲートには信号φが入力される。

【0058】以上の回路構成を有するセンスアンプ動作電圧発生回路300の動作について説明する。

【0059】図13は、図12に示したセンスアンプ動作電圧発生回路90の動作を示すタイミングチャートである。

【0060】図13を参照して、時刻T6以前は、信号φはLレベルであり、その結果PチャネルMOSトランジスタP30はオンされ、センス電源線VSHは外部電源電位ext. Vddにプリチャージされている。

【0061】時刻T6にセンスアンプ活性化信号SON、ZSOPがそれぞれHレベル、Lレベルとなることにより、センスアンプ30の動作が開始されると、センスアンプ30の各MOSトランジスタのゲートソース電位Vgsが従来より大きくなる。また、信号φは時刻T7までLレベルであり、センス電源線VSHには外部電*

$$Cd \times (V_{pre} - V_{dds}) = C_{ba} \times V_{bl} \quad \dots (2)$$

が成立するプリチャージ電位Vpreより高い外部電源電位ext. Vddの場合は、センス動作中のセンス電源線VSHの電位がHデータ電位より高くなり、メモリセルの信頼性の観点から好ましくない。

【0068】この発明の目的は、センスアンプの動作速

10

*源電位ext. Vddが供給されていることから、センスアンプの動作が高速化される。一方、時刻T7以降にセンス動作に必要な電荷が不足する場合には、VDC回路306から電荷が供給され、センス電源線VSHの電位はアレイ動作電位Vddsに保たれる。

【0062】

【発明が解決しようとする課題】以上に示したオーバードライブ方式のセンスアンプ動作電圧発生回路90またはセンスアンプ動作電圧発生回路300を用いてセンス動作を行うことにより、図8中の時刻T3に見られるようなセンス動作中のセンス電源線VSHの電位の大幅な低下は起こらない。よって、センス動作を速くすることは可能となる。

【0063】しかしながら、オーバードライブ方式のセンスアンプ動作電圧発生回路を含む半導体集積回路において、省電力化を目的として外部電源電位ext. Vddを低下した場合に問題が生じる。

【0064】省電力化を目的として、オーバードライブ方式のセンスアンプ動作電圧発生回路を含む半導体集積回路装置に供給する外部電源電位ext. Vddが低下した結果、外部電源電位ext. Vdd=内部電位Vddpとなる場合を考える。

【0065】このとき、オーバードライブ方式のセンスアンプ動作電圧発生回路90、300において、プリチャージ中のデカップルコンデンサC2、C3にはともに外部電源電位ext. Vddが供給されることとなる。ここで、外部電源電位ext. Vddは仕様上の許容範囲内で変動するため、プリチャージ中のデカップルコンデンサC2、C3に蓄積される電荷量も変動することとなる。

【0066】蓄積された電荷量がセンス動作において必要な電荷量より少ない場合はVDC回路170、306が不足分の電荷量を供給することから問題はない。しかしながら外部電源電位ext. Vddの変動により、蓄積された電荷量がセンス動作において必要な電荷量より多い場合は、センス動作中のセンス電源線VSHの電位がHデータ電位より高くなることから、メモリセルの信頼性の観点から好ましくない。

【0067】具体的には、デカップルコンデンサC2、C3の容量をCd、ビット線BLまたはZBLの総負電荷量をCba、センス電源線VSHのプリチャージ電位をVpre、ビット線のプリチャージレベルをVbl (=Vdds/2) とすると、

度を低下させることなく、また、メモリセルに必要以上の電荷を供給することなく、省電力化が可能な半導体集積回路装置を提供することである。

【0069】

【課題を解決するための手段】この発明による半導体集

積回路は、ビット線対と、ビット線対に接続されたメモリセルと、メモリセルからデータが読出されることにより生じたビット線対の電位差を増幅するセンスアンプと、センスアンプの活性期間には、メモリセルに蓄積される電圧をセンスアンプに供給するセンスアンプ動作電圧発生手段とを備え、センスアンプ動作電圧発生手段は、センスアンプに接続された内部電源ノードと、外部電源電圧が所定の電圧より高い場合に、所定の電圧を出力電圧として内部電源ノードに出力し、外部電源電圧が所定の電圧より低い場合に、外部電源電圧と等しい電圧を出力電圧として内部電源ノードに出力する第1の電圧供給手段と、内部電源ノードに接続されたデカップル容量とを含む。

【0070】好ましくは、第1の電圧供給手段は、センスアンプの活性期間中は動作を停止する。

【0071】さらに好ましくは、第1の電圧供給手段は、外部電源電圧よりも低い電圧を基準電圧として出力する基準電圧発生回路と、出力電圧を降下させた降下電圧を出力するシフト回路と、基準電圧と前記降下電圧とを受け、出力電圧を出力する降圧回路とを含む。

【0072】さらに好ましくは、降圧回路は、基準電圧と前記降下電圧とを入力し、その比較結果を出力する比較回路と、外部電源が供給される外部電源ノードと内部電源ノードとに接続されたスイッチング素子とを含み、スイッチング素子は、比較回路から出力される比較結果を受け、内部電源ノードの出力電圧を制御する。

【0073】これにより、センスアンプの動作時にビット線に必要以上の電荷が供給されるのを防止することが可能となる。

【0074】さらに好ましくは、シフト回路は、内部電源ノードと接地ノードとの間に直列に接続された複数の抵抗素子を含む。

【0075】これにより、出力電圧を降下させることが可能となる。さらに好ましくは、シフト回路は、外部電源ノードと接地ノードとの間に直列に接続された第1および第2のトランジスタを含み、第1のトランジスタの制御電極には出力電圧が入力され、第2のトランジスタの制御電極には基準電圧が入力される。

【0076】これにより、半導体集積回路装置の製造プロセスの変動による出力電圧の変動の調整が容易になる。

【0077】さらに好ましくは、センスアンプ動作電圧発生手段は、センスアンプの不活性期間にデカップル容量に充電された出力電圧が所定の電圧より低い場合に、内部電源ノードに所定の電圧を供給する第2の電圧供給手段を含む。

【0078】さらに好ましくは、第2の電圧供給手段は、センスアンプの活性期間に所定の電圧を供給する。

【0079】これにより、センスアンプ動作時にビット線に供給される電荷が不足するのを防止することが可能

となる。

【0080】さらに好ましくは、所定の電圧は、外部電源電圧の仕様上の下限値である。これにより、外部電源電圧の変動によるビット線への電荷の過剰な供給を防止することが可能となる。

【0081】

【発明の実施の形態】以下、この発明の実施の形態を図面を参照して詳しく説明する。なお図中同一または相当部分には同一符号を付してその説明は繰返さない。

【0082】【実施の形態1】図1はこの発明の実施の形態によるセンスアンプ動作電圧発生回路の回路図である。

【0083】図1を参照して、センスアンプ動作電圧発生回路400は基準電位発生回路401とコンパレータ402とPチャネルドライバ回路403とレベルシフト回路404とデカップルコンデンサC10とを含む。

【0084】Pチャネルドライバ回路403はPチャネルMOSトランジスタP40を含む。PチャネルMOSトランジスタP40のソースは外部電源ノードext、Vddに接続され、そのドレインはセンス電源線VSHに接続される。またPチャネルMOSトランジスタP40のゲートはコンパレータ402の出力信号を受ける。また、デカップルコンデンサC10はセンス電源線VSHと接地ノードGNDの間に接続される。

【0085】レベルシフト回路404はセンス電源線VSHと接地ノードGNDとの間に直列に接続された抵抗素子R3、R4から構成され、センス電源線VSHの電位を分圧した電位を抵抗素子R3とR4との接続点であるノードA10からコンパレータ402に出力する。

【0086】図2は図1に示した基準電位発生回路401の回路図である。図2を参照して、基準電位発生回路401はロウパスフィルタ411と定電流回路412と定電流回路412の制御の下に参照電位Vrefを出力する出力回路413とを含む。

【0087】ロウパスフィルタ411は外部電源ノードext、Vddと接地ノードGNDとの間に直列に接続された抵抗R11とコンデンサC11とを含む。

【0088】ロウパスフィルタは外部電源電位ext、Vddを受けてノイズを除去しノードA41に伝達する。

【0089】定電流源発生回路412はノードA41にソースが接続されゲートおよびドレインがノードA42に接続されるPチャネルMOSトランジスタP41と、ノードA42と接地ノードGNDとの間に接続されゲートがノードA43に接続されるNチャネルMOSトランジスタN41と、ノードA41とPチャネルMOSトランジスタP42のソースとの間に接続される抵抗R12と抵抗R12とノードA43との間に接続されゲートがノードA42に接続されるPチャネルMOSトランジスタP42と、ソースが接地ノードGNDに接続されドレ

13

インおよびゲートがノードA43に接続されるNチャネルMOSトランジスタN42とを含む。

【0090】NチャネルMOSトランジスタN41とN42はカレントミラー回路を形成しており、NチャネルMOSトランジスタN41およびN42の電流駆動能力を等しくすることで、外部電源ノードext、Vddと接地ノードGNDとの間の2つの枝に流れる電流Iが等しくなり、また、PチャネルMOSトランジスタP41およびP42をサブスレッショルド領域で動作させるとともに、PチャネルMOSトランジスタP41の電流駆動能力をPチャネルMOSトランジスタP42の電流駆動能力より小さくすることにより、電流Iは外部電源電位ext、Vddに依存しない定電流となる。

【0091】また、出力回路413は、外部電源ノードext、VddとノードA44との間に接続されゲートが定電流回路412のノードA42と接続されるPチャネルMOSトランジスタP43と、ノードA44とノードA45との間に直列に接続されともにゲートがノードA45に接続されるPチャネルMOSトランジスタP44、P45と、ソースがノードA45に接続されゲートおよびドレインが接地ノードGNDに接続されるPチャネルMOSトランジスタP46とを含むPチャネルMOSトランジスタP43は定電流回路412とカレントミラーを構成し、電流Iが正確に移される。PチャネルMOSトランジスタP44、P45はチャネル抵抗成分を有し、PチャネルMOSトランジスタP46は主としてしきい値によって決定される抵抗成分であるしきい値成分を有する。

【0092】チャネル抵抗成分は電流Iが持つ正の温度特性を継承するのに対し、しきい値成分は負の温度特性を有することから、これらが釣り合うように設定することで、参照電位Vrefの温度特性をなくすることが可能となる。

$$V_{ref} = \alpha \times ext, V_{dd} (min) \quad \dots (3)$$

ただし、 $\alpha < 1$ である。すなわち、参照電位Vrefは電位ext、Vdd(min)よりも小さい値とする。これは基準電位発生回路401において、参照電位Vref=電位ext、Vdd(min)と設定した場合、実際の外部電源電位ext、Vddが電位ext、Vdd(min)付近の場合、参照電位Vrefを外部電源電位ext、Vddに依存しない一定値として発生させることは回路上困難であるためである。さらに、使用中に外部電源電位ext、Vddが過渡的に電位低下を起こす等、何らかの理由で外部電源電位ext、Vddが仕様上の限值である電位ext、Vdd(min)を下回ることが予想される。この場合、基準電位発生回路401の電源が外部電源電位ext、Vddであることから、それ以上の値を出力することは不可能であり、その結果、参照電位Vref<電位ext、Vdd(min)となる。よって、より大きな外部電源電位ext、

14

*【0093】図3は図1に示したコンパレータ402の回路図である。図3を参照して、コンパレータ402は外部電源電位ext、Vddが与えられているノードA51にソースが接続されゲートおよびドレインがノードA52に接続されるPチャネルMOSトランジスタP51と、ノードA52とノードA54との間に接続されゲートにレベルシフト回路404から出力されるシフト出力電位SVpreを受けるNチャネルMOSトランジスタN51と、ノードA51とノードA53との間に接続されゲートがノードA52に接続されるPチャネルMOSトランジスタP52と、ノードA53とノードA54との間に接続され、そのゲートに参照電位Vrefを受けるNチャネルMOSトランジスタN52と、ノードA54と接地ノードGNDとの間に接続されゲートに信号PREを受けるNチャネルMOSトランジスタN53とを含む。

【0094】なお、コンパレータ402は信号PREがHレベルのときにNチャネルMOSトランジスタN53がオンされ、ノードA53から信号DOを出力し、信号PREがLレベルのときに、その動作を停止する。

【0095】次に、省電力化により、外部電源電位ext、Vddが低下して内部電位Vddpと等しくなった場合のセンスアンプ動作電圧発生回路400の動作について説明する。なお、メモリセルに書き込まれるHデータ電位と等しいアレイ動作電位Vddsは、外部電源電位ext、Vddの仕様上の下限値である電位ext、Vdd(min)よりも低い一定電位とする。

【0096】基準電位発生回路401から出力される参照電位Vrefは外部電源電位ext、Vddの仕様上の下限値である電位ext、Vdd(min)と次式の関係が成立するように設定する。

【0097】

Vddの変動に対処できるよう、基準電位Vrefは電位ext、Vdd(min)より低い値に設定しておくことが好ましい。

【0098】また、プリチャージ中にPチャネルドライバ回路403からセンス電源線VSHに出力される電位をプリチャージ電位Vpreとすると、プリチャージ電位Vpreと参照電位Vrefの関係を次式のように設定する。

$$V_{pre} = V_{ref} / \alpha \quad \dots (4)$$

またレベルシフト回路404から出力されるシフト出力電位SVpreが次式の関係を満たすようにレベルシフト回路404の抵抗R3、R4の抵抗値を設定する。

$$V_{pre} = \alpha \times V_{pre} \quad \dots (5)$$

ここで、プリチャージ時における外部電源電位ext、Vddの変動とVDC回路410から出力されるプリチャージ電位Vpreとの関係について説明する。

15

【0101】プリチャージ時、VDC回路410内のコンパレータ402に入力される信号PREはHレベルであることから、コンパレータ402は式(3)で決定される参照電位Vrefと式(5)で決定されるシフト出力電位SVpreを受け、参照電位Vrefとシフト出力電位SVpreとの電位差に応じた信号DOをPチャネルドライバ回路403に出力する。VDC回路410内のPチャネルドライバ回路403は外部電源電位ext. Vddの変動にตอบสนองしてセンス電源線VSHにプリチャージ電位Vpreを以下のように出力する。

(1) 外部電源電位ext. Vddが外部電源電位ext. Vddの仕様上の下限値である電位ext. Vdd(min)よりも低い場合

この場合、Pチャネルドライバ403から出力されるプリチャージ電位Vpreが電位ext. Vdd(min)よりも低くなる。よって、レベルシフト回路404から出力されるシフト出力電位SVpreは常に参照電位Vrefよりも低くなる。

【0102】その結果、コンパレータ402から出力される信号DOの電位は低下し、Pチャネルドライバ回路403内のPチャネルMOSトランジスタP40は常時オンされる。

【0103】そのため、Pチャネルドライバ回路403から出力されるプリチャージ電位Vpreは常に外部電源電位ext. Vddと等しくなり、プリチャージ中はデカップルコンデンサC10に外部電源電位ext. Vddが供給されることとなる。

(2) 外部電源電位ext. Vddが電位ext. Vdd*

$$Cd = Cba \times Vble / (ext. Vdd(min) - Vdds) \dots (6)$$

なお、センス動作時はコンパレータに入力される信号PREがオフとなることから、図1に示したセンスアンプ動作電圧発生回路400は動作を停止する。よって、センス動作時にはプリチャージ時にデカップルコンデンサC10に蓄積された電荷をセンス電源線VSHに供給することにより、センスアンプの動作速度の低下を防止する。

【0110】以上の動作により、デカップルコンデンサに蓄積する充電電位であるプリチャージ電位Vpreを外部電源電位ext. Vddの仕様上許される下限値である電位ext. Vdd(min)以下になるように設定することで、プリチャージ時に外部電源電位ext. Vddが変動してもセンス電源線VSHにHデータ電位よりも高い電位が供給されるのを防止する。また、センスアンプ動作電圧発生回路をプリチャージ時に動作させ、プリチャージ時にデカップルコンデンサC10に電荷を蓄積することでセンスアンプ動作初期においてセンスアンプを構成するMOSトランジスタのゲートソース間電圧Vgsを大きくする。その結果、高速なセンス動作が可能となる。

【0111】〔実施の形態2〕実施の形態1では、レベ

16

*d(min)よりも高くなった場合

この場合は、Pチャネルドライバ回路403からの充電により、プリチャージ電位Vpreが電位ext. Vdd(min)よりも高くなった場合、レベルシフト回路404から出力されるシフト出力電位SVpreが参照電位Vrefよりも高くなる。

【0104】その結果、コンパレータ402から出力される信号DOの電位が上昇し、PチャネルMOSトランジスタP40がオフされる。

【0105】そのため、センス電源線VSH上のプリチャージ電位Vpreが電位ext. Vdd(min)に等しくなるようにPチャネルドライバ回路403が制御される。

【0106】よって、センス電源線VSH上のプリチャージ電位Vpreは常に電位ext. Vdd(min)と等しくなり、プリチャージ中はデカップルコンデンサC10に電位ext. Vdd(min)が供給されることとなる。

【0107】以上の動作により図2に示したセンスアンプ動作電圧発生回路400を用いた場合のプリチャージ時におけるセンス電源線VSH上のプリチャージ電位Vpreと外部電源電位ext. Vddの関係は図4のようになる。

【0108】図4に示したプリチャージ電位Vpreと外部電源電位ext. Vddとの関係および(2)式から、図2中のデカップルコンデンサC10の容量Cdは以下の式で決定することが可能である。

【0109】

ルシフト回路に抵抗を用いてプリチャージ電位Vpreを抵抗分割した。

【0112】しかしながら、この場合、製造ばらつき等のプロセス変動によるプリチャージ電位Vpreの変動を防止するため、基準電位発生回路とレベルシフト回路とにそれぞれ何らかの調整機構が必要となり、その結果回路規模が増大する。よって、好ましくは、センスアンプ動作電圧発生回路は、一つの調整機構のみを有することが望ましい。

【0113】図5はこの発明の実施の形態2におけるセンスアンプ動作電圧発生回路600の回路図である。

【0114】図5を参照して、図2と比較して図2中のレベルシフト回路404の代わりにレベルシフト回路500が設置されている。

【0115】レベルシフト回路500は、外部電源ノードext. Vddと接地ノードとの間に直列に接続されたNチャネルMOSトランジスタN61、N62を含む。NチャネルMOSトランジスタN61のゲートにはセンス電源線VSHの電位が、NチャネルMOSトランジスタN62のゲートには参照電位Vrefがそれぞれ入力される。NチャネルMOSトランジスタN61とN

17

62との接続点であるノードA60からコンパレータ402にシフト出力電位SVpreが出力される。

【0116】その他の回路構成は図2と同じであるため、その説明は繰り返さない。次に図5の回路構成を有するセンスアンプ動作電圧発生回路600の動作について説明する。なお、メモリセルに書き込まれるHデータ電位と等しいアレイ動作電位Vddsは、外部電源電位ext. Vddの仕様上の下限値である電位ext. Vdd(min)よりも低い一定電位とする。

【0117】いま、基準電位発生回路401から出力される参照電位Vrefについて、

$$V_{ref} = \text{ext. Vdd}(\min) / 2$$

であり、また、レベルシフト回路500内のNチャンネルMOSトランジスタN61、N62がともに同じサイズであり、飽和領域で動作するように設定されている場合を考える。

【0118】この場合、レベルシフト回路500から出力されるシフト出力電位SVpreは、

$$SV_{pre} = V_{pre} / 2$$

となる。

【0119】このとき、VDC回路410内のPチャネルドライバ回路403は外部電源電位ext. Vddの変動にตอบสนองしてセンス電源線VSHにプリチャージ電位Vpreを以下のように出力する。

(1) 外部電源電位ext. Vddが外部電源電位ext. Vddの仕様上の下限値である電位ext. Vdd(min)よりも低い場合

この場合、Pチャネルドライバ403から出力されるプリチャージ電位Vpreが電位ext. Vdd(min)よりも低くなる。よって、レベルシフト回路500内のNチャンネルMOSトランジスタN61のゲートに入力される電位も低下し、結果として、シフト出力電位SVpre<参照電位Vrefとなる。

【0120】よって、コンパレータ402から出力される信号DOの電位は低下し、Pチャネルドライバ403内のPチャネルMOSトランジスタP40は常時オンされる。

【0121】そのため、Pチャネルドライバ403から出力されるプリチャージ電位Vpreは常に外部電源電位ext. Vddと等しくなり、プリチャージ中はデカップルコンデンサC10に外部電源電位ext. Vddが供給されることとなる。

(2) 外部電源電位ext. Vddが電位ext. Vdd(min)よりも高くなった場合

Pチャネルドライバ403からの充電により、プリチャージ電位Vpreが電位ext. Vdd(min)高くなった場合、レベルシフト回路500内のNチャンネルMOSトランジスタN61のゲート電位が上昇し、結果として、シフト出力電位SVpre>参照電位Vrefとなる。

18

【0122】その結果、コンパレータ402から出力される電位が低下し、PチャネルMOSトランジスタP40がオフされる。

【0123】このため、センス電源線VSH上のプリチャージ電位Vpreが電位ext. Vdd(min)に等しくなるようにPチャネルドライバ403が制御される。

【0124】以上の動作により、プリチャージ電位Vpreと外部電源電位ext. Vddとの関係は実施の形態1に示したセンスアンプ動作電圧発生回路400の場合と同じく図4のグラフで表すことができる。

【0125】さらに、図5に示した回路構成を有するセンスアンプ動作電圧発生回路では、製造ばらつき等により発生するプリチャージ電位Vpreの変動は、参照電位Vrefのみを調整すれば対応可能となるため、調整機構が不要となり、その結果、回路規模を抑制することが可能となる。

【0126】[実施の形態3] 実施の形態1および実施の形態2に示したセンスアンプ動作電圧発生回路は、センス動作時には信号PREがLレベルとなることにより、動作を停止する。よって、センス動作時にはデカップルコンデンサに蓄積された電荷をセンス電源線VSHに供給することになる。

【0127】ここで、実際の使用時には、外部電源電位ext. Vddが電位ext. Vdd(min)よりも下がるのが起こりうるため、そのような状態ではプリチャージ電位Vpre<電位ext. Vdd(min)となる。デカップルコンデンサの容量は式(6)で示される固定値をとるため、外部電源電位ext. Vddが電位ext. Vdd(min)よりも下がる状態が起こった場合、デカップルコンデンサにセンス動作に必要な全電荷を蓄積しておくことができなくなる。

【0128】そこで外部電源電位ext. Vddが電位ext. Vdd(min)よりも下がる状態が起こった場合でもセンス動作時のセンス電源線VSHの電位をHデータに等しい電位であるアレイ動作電位Vddsに保つことができることが望ましい。

【0129】図6はこの発明の実施の形態3におけるセンスアンプ動作電圧発生回路の回路図である。

【0130】図6を参照して、センスアンプ動作電圧発生回路700は、図2と比較して、基準電位発生回路401の代わりに2種類の参照電位VrefおよびVrefsを発生する基準電位発生回路701が設置され、新たに補助VDC回路800が設置されている。なお、参照電位Vrefsはアレイ動作電位Vddsと等しい電位となるように設定されている。

【0131】基準電位発生回路701は参照電位Vrefをコンパレータ402に出力し、参照電位Vrefsを補助VDC回路800に出力する。基準電位発生回路701の回路構成は図10に示した基準電位発生回路1

19

00と同じであるため、その説明は繰り返さない。図6では、参照電位 V_{ref} と参照電位 V_{refs} の発生回路を同じとしたが、参照電位 V_{ref} の発生回路と参照電位 V_{refs} の発生回路が別の回路構成を有していてもかまわない。

【0132】補助VDC回路800は、コンパレータ801とPチャネルドライバ回路802を含む。

【0133】コンパレータ801の回路構成はコンパレータ402と同じであるため、その説明は繰り返さない。なお、コンパレータ801は参照電位 V_{refs} とプリチャージ電位 V_{pre} とを入力し、Pチャネルドライバ802内のPチャネルMOSトランジスタP80に信号DO2を出力する。また、コンパレータ801は信号SEDを受け、信号SEDがHレベルのときに動作を行い、信号SEDがLレベルのときにその動作を停止する。

【0134】補助VDC回路800はセンス電源線VSHにアレイ動作電位 V_{dds} と等しい電位を供給するように設計されている。

【0135】なお、図6では参照電位 V_{refs} =アレイ動作電位 V_{dds} の場合の回路構成となっているが、補助VDC回路800の前段に適切なシフト回路を設置すれば、参照電位 V_{refs} =アレイ動作電位 V_{dds} である必要はない。結果として補助VDC回路800から出力される電位がアレイ動作電位 V_{dds} と等しければよい。

【0136】以上の回路構成を有するセンスアンプ動作電圧発生回路700の動作について説明する。

【0137】なお、メモリセルに書き込まれるHデータ電位と等しいアレイ動作電位 V_{dds} は、外部電源電位 $ext. V_{dd}$ の仕様上の下限値である電位 $ext. V_{dd} (min)$ よりも低い一定電位とする。

【0138】デカップルコンデンサC10の容量が式(6)であらわされる場合、プリチャージ時のセンス電源線VSHの電位 V_{pre} が電位 $ext. V_{dd} (min)$ と等しくなるようにデカップルコンデンサC10が充電されていれば、センス動作時において、センス電源線VSHの電位は常にアレイ動作電位 V_{dds} 以上となる。よって、センス動作中に補助VDC回路800からセンス電源線VSHに電荷を供給されることはない。

【0139】一方、プリチャージ時のセンス電源線VSHの電位 V_{pre} が電位 $ext. V_{dd} (min)$ よりも低くなるようにデカップルコンデンサC10が充電されている場合、センス動作時において、最終的なセンス電源線VSHの電位はアレイ動作電位 V_{dds} よりも低くなる場合が発生する。よって、この場合は補助VDC回路800から電荷が供給され、センス電源線VSHの電位がアレイ動作電位 V_{dds} と等しくなるように制御される。

【0140】以上の結果、センスアンプ動作電圧発生回

20

路において、センス動作中に動作する補助VDC回路を設置することで、外部電源電位 $ext. V_{dd}$ が変動することによってプリチャージ中にデカップルコンデンサに充電される電荷が不足する場合でも、センス動作中のセンス電源線VSHの電位をアレイ動作電位 V_{dds} と等しくすることができる。

【0141】なお、センスアンプ動作電圧発生回路700に設置されるデカップルコンデンサC10の容量が式(6)で決定される値より小さい場合においても、センス動作中に補助VDC回路800を動作させることにより、センス動作中のセンス電源線VSHの電位をアレイ動作電位 V_{dds} と等しくすることが可能となる。

【0142】今回開示された実施の形態はすべての点で例示であって制限的なものではないと解釈されるべきである。本発明の範囲は上述した実施の形態ではなく特許請求の範囲によって定められ、特許請求の範囲と均等の意味およびその範囲内でのすべての変更が含まれることを意図するものである。

【0143】

【発明の効果】この発明により、センスアンプの動作速度を低下させることなく、省電力化が可能な半導体集積回路装置を提供することが可能となる。

【図面の簡単な説明】

【図1】 この発明の実施の形態によるセンスアンプ動作電圧発生回路の回路図である。

【図2】 図1に示した基準電位発生回路401の回路図である。

【図3】 図1に示したコンパレータ402の回路図である。

【図4】 センスアンプ動作電圧発生回路400を用いた場合のプリチャージ時におけるセンス電源線VSH上のプリチャージ電位 V_{pre} と外部電源電位 $ext. V_{dd}$ の関係を示す図である。

【図5】 この発明の実施の形態2におけるセンスアンプ動作電圧発生回路600の回路図である。

【図6】 この発明の実施の形態3におけるセンスアンプ動作電圧発生回路の回路図である。

【図7】 DRAM内のメモリセルアレイ部の構成を示す回路図である。

【図8】 図7に示したセンスアンプ30の動作を示すタイミングチャートである。

【図9】 オーバードライブ方式のセンスアンプ駆動回路を含むDRAM内のメモリセルアレイ部の構成を示す回路図である。

【図10】 図9中のセンスアンプ動作電圧発生回路90の回路図である。

【図11】 図10に示したセンスアンプ動作電圧発生回路90の動作を示すタイミングチャートである。

【図12】 第2のオーバードライブ方式のセンスアンプ駆動回路の回路図である。

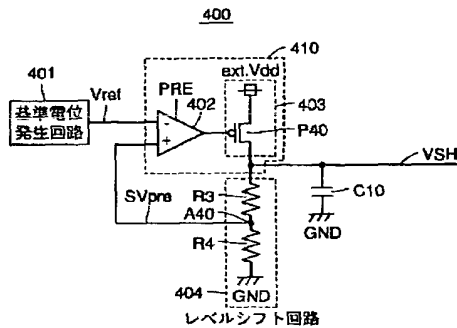
21

【図 13】 図 12 に示したセンスアンプ動作電圧発生回路 90 の動作を示すタイミングチャートである。

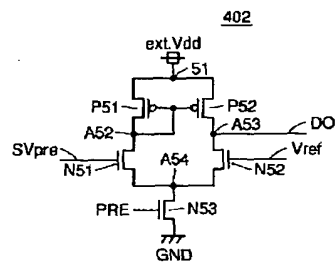
【符号の説明】

100 スライスセル、200 ビット線イコライズ回路、300 センスアンプ、400、170、306 内部電源電圧発生回路 (VDC)、90、300 センスアンプ動作電圧発生回路、100 基準電位発生回路、110 *

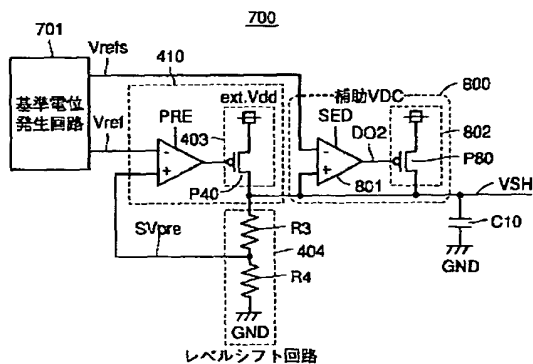
【図 1】



【図 3】



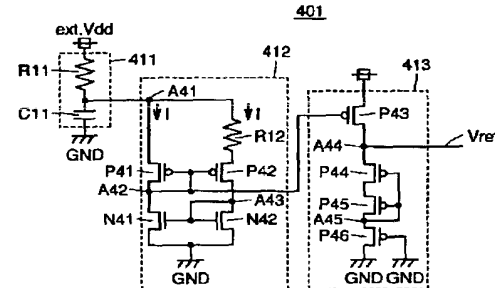
【図 6】



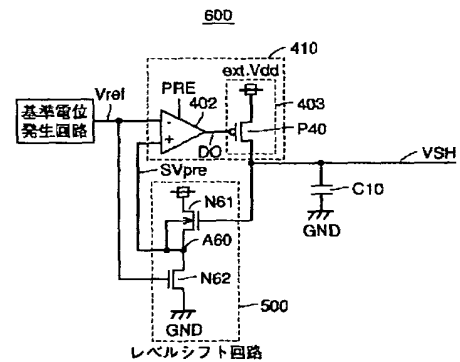
22

*ロウパスフィルタ (LPF)、120 定電流回路、130 出力回路、131 第 1 参照電位出力段、136 第 2 参照電位出力段、150 セレクタ回路、151、152 トランスファゲート、160 シフト回路、180、302、402 コンパレータ、190、200、303、307 Pチャネルドライバ回路。

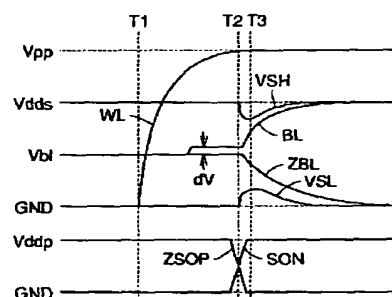
【図 2】



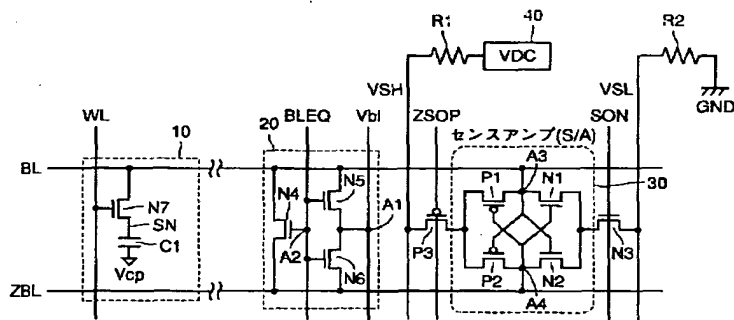
【図 5】



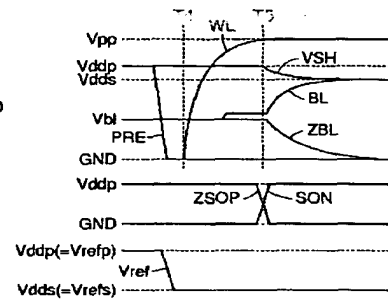
【図 8】



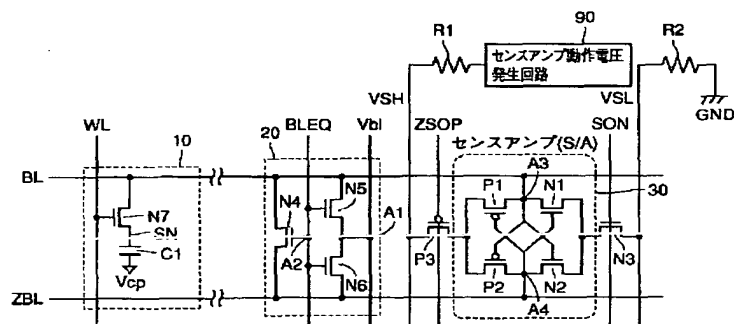
【図7】



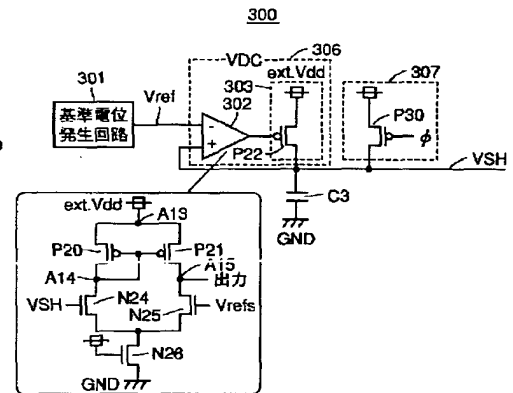
【図11】



【図9】



【図12】



【図10】

【図13】

